



ocket No.: 60188-705

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

| | | |
|--|---|---------------------------|
| In re Application of | : | Customer Number: 20277 |
| | : | |
| Manabu TAKAHASHI, et al. | : | Confirmation Number: 3964 |
| | : | |
| Serial No.: 10/715,848 | : | Group Art Unit: 2811 |
| | : | |
| Filed: November 19, 2003 | : | Examiner: Unknown |
| | : | |
| For: SEMICONDUCTOR DEVICE AND CONTROL METHOD | | |

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

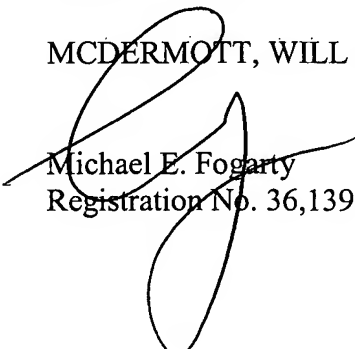
At the time the above application was filed, priority was claimed based on the following application:

Japanese Patent Application No. 2002-335612, filed November 19, 2002

A copy of the priority application listed above is enclosed.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: March 15, 2004

60188-705
TAKAHASHI, et al.
November 19, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2002年11月19日

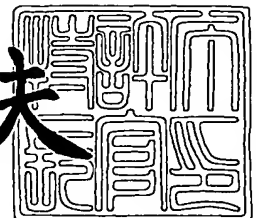
出 願 番 号
Application Number: 特願2002-335612
[ST. 10/C]: [JP2002-335612]

出 願 人
Applicant(s): 松下電器産業株式会社

2003年11月20日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特2003-3096117

【書類名】 特許願

【整理番号】 5038040133

【提出日】 平成14年11月19日

【あて先】 特許庁長官 殿

【国際特許分類】 H05B 6/12

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 高橋 学

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 川道 康二

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 大石 昇平

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 小原 勝

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 第 1 の PWM 信号と、前記第 1 の PWM 信号の反転信号である第 2 の PWM 信号とを生成する相補 PWM 生成部と、

前記第 1 の PWM 信号の立ち上がり時に第 1 のデッドタイムを付加するとともに、前記第 2 の PWM 信号の立ち上がり時に第 2 のデッドタイムを付加するデッドタイム付加部とを備え、

前記デッドタイム付加部は、

前記第 1 のデッドタイムと、前記第 2 のデッドタイムとを、個別に設定可能に構成されている

ことを特徴とする半導体装置。

【請求項 2】 請求項 1 において、

前記デッドタイム付加部は、

デッドタイムタイマと、

第 1 および第 2 のデッドタイム設定レジスタとを備え、

前記デッドタイムタイマの値が前記第 1 のデッドタイム設定レジスタの設定値に達するまでの時間を、前記第 1 のデッドタイムとして設定するとともに、前記デッドタイムタイマの値が前記第 2 のデッドタイム設定レジスタの設定値に達するまでの時間を、前記第 2 のデッドタイムとして設定する

ことを特徴とする半導体装置。

【請求項 3】 請求項 2 において、

前記第 1 および第 2 のデッドタイム設定レジスタは、直列に配置されていることを特徴とする半導体装置。

【請求項 4】 請求項 2 において、

前記第 1 および第 2 のデッドタイム設定レジスタは、並列に配置されていることを特徴とする半導体装置。

【請求項 5】 請求項 1 において、

前記デッドタイム付加部は、

第1および第2のデッドタイムタイマと、
第1および第2のデッドタイム設定レジスタとを備え、
前記第1のデッドタイムタイマの値が前記第1のデッドタイム設定レジスタの設定値に達するまでの時間を、前記第1のデッドタイムとして設定するとともに、前記第2のデッドタイムタイマの値が前記第2のデッドタイム設定レジスタの設定値に達するまでの時間を、前記第2のデッドタイムとして設定することを特徴とする半導体装置。

【請求項6】 請求項1において、
前記デッドタイム付加部は、
第1および第2のデッドタイム設定レジスタと、
前記相補PWM生成部が有する周期タイマのカウンタ値を、前記第1および第2のデッドタイム設定レジスタの設定値と比較する比較器とを備え、
前記比較器による前記第1のデッドタイム設定レジスタの設定値との比較結果を基にして、前記第1のデッドタイムを設定するとともに、前記比較器による前記第2のデッドタイム設定レジスタの設定値との比較を基にして、前記第2のデッドタイムを設定することを特徴とする半導体装置。

【請求項7】 請求項1において、
第1および第2のデッドタイム設定レジスタと、
前記相補PWM生成部が有する周期タイマのカウンタ値を、前記第1および第2のデッドタイム設定レジスタの設定値と比較する第1の比較器と、
前記相補PWM生成部が有する周期タイマのカウンタ値を、前記第2のデッドタイム設定レジスタの設定値と比較する第2の比較器とを備え、
前記第1の比較器による比較結果を基にして、前記第1のデッドタイムを設定するとともに、前記第2の比較器による比較結果を基にして、前記第2のデッドタイムを設定することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えばインバータ制御用のために、相補 P W M 信号を生成する半導体装置に関するものであり、特に、相補 P W M 信号にデッドタイムを付加するための技術に属する。

【0 0 0 2】**【従来の技術】**

図 1 1 に示すような、2 個のスイッチング素子 5 1, 5 2 を直列接続した構成からなるインバータ回路 5 は、I H 調理器などの誘導加熱装置を構成する回路として広く使用されている（特許文献 1 参照）。また、モータ駆動用のインバータ回路も、各相において 2 個のスイッチング素子を直列に接続し、これを 3 相並列に接続した構成であり、基本的には同様の構成となる。

【0 0 0 3】

これらのインバータ回路は、通常、同時にオンしない時間（デッドタイム）を付加した P W M（Pulse Width Modulation）信号を用いて制御される。この信号の例を図 1 2（a）に示す。このデッドタイムの役割の 1 つは、図 1 2（b）に示すように、2 個のスイッチング素子が同時にオンすることによって、貫通電流が流れ、インバータ制御回路を破壊してしまうことを防止することである。また一般には、図 1 3 に示すように、異なる 2 個のスイッチング素子のオン・オフ特性に合わせた最適なスイッチングタイミングを設定し、スイッチング素子の電力損失を最小限にすることを目的として設定される。電力損失は、オン・オフ切り換え時の電流と電圧の積によって求められる。

【0 0 0 4】

従来、このデッドタイムを設定する手法として、1）通常の P W M 出力を使用し、制御回路上でデッドタイムを付加する手法、2）半導体装置からの一定のデッドタイム付き P W M 出力を用いる手法、3）1）と 2）を組み合わせた手法が知られている。

【0 0 0 5】

1）の手法は例えば特許文献 1 に開示されており、誘導加熱調理器を制御するインバータ駆動回路に制御回路を付加することによってデッドタイムを設定する

ことができる。上述の図 11 はその基本回路構成であり、デッドタイム設定回路 7 は、駆動制御回路 6 から 2 個のスイッチング素子 51, 52 を同時にオフする信号を生成する。図 13 に示すように、デッドタイム t_{d1} は、 V_{ge2} が 0 V になってスイッチング素子 52 がオフしてから、 V_{ce1} の残存電圧が最小になるまでの期間に設定し、デッドタイム t_{d2} は V_{ge1} が 0 V になってスイッチング素子 51 がオフしてから、 i_{c2} のマイナス電流（スイッチング素子 1 内蔵のフリーホイールダイオード電流）のがほぼ半減するまでの期間に設定する。いずれも、回路の定数によって決定される。

【0006】

これ以外でも、PWM 出力と遅延回路との組み合わせによって実現する手法が知られており、例えば図 14 のように、それぞれの PWM 信号に対し、任意に設定する CR 回路 53, 54 によって遅延をもたせることによってデッドタイムを付加する。これにより、図 15 に示すような 2 種類のデッドタイム付き出力信号を生成することが可能である。

【0007】

また、制御回路を付加する必要がないように、マイクロコンピュータからデッドタイムを付加した PWM 出力を生成する機能を有するものも実現されている。この場合のデッドタイム設定には、デッドタイム時間を設定するための 1 個のデッドタイムレジスタが用いられ、PWM 信号のオンタイミングとオフタイミングで同一のデッドタイムが付加される。

【0008】

このようなインバータ制御用のマイクロコンピュータの多くは、カウンタと比較器（コンパレータ）等を備えている。カウンタが 0 から周波数設定値までカウントアップし、その間にカウント値とデューティ設定値を比較し、一致したときに出力信号を反転することによって、基準となる PWM 信号を生成する。このとき、カウンタとデッドタイム設定値とを比較し、一致するまで、オンするタイミングを出力反転タイミングから遅らせることによって、デッドタイムを挿入する。この場合、デッドタイムはスイッチング素子の特性によらず、一定の時間を設定できる。

【0009】

【特許文献1】

特開平10-149876号公報

【0010】

【発明が解決しようとする課題】

ところが、上述の特許文献1や、CR回路を用いた方法では、設定されるデッドタイムは基板上のハード設定で決定されるため、スイッチング素子に対して一定の値を設定できるのみであった。このため、デッドタイムの最適値を変更・設定するのは困難であり、より高度な制御を行うためには、例えばハード的にCR成分を変更する制御回路部が必要になるなどの制約があった。さらに、PWM信号が時定数を持った波形となることや、部品ばらつきの面から、精度の高い制御を行うことが困難になっていた。

【0011】

さらに、インバータ制御用マイクロコンピュータとしてデッドタイム付きPWM出力を実現する手法では、デッドタイムレジスタを1個しか持たないため、立ち上がりと立ち下りに共通のデッドタイムを付加する機能を有するのみだった。このため、対となるスイッチング素子の特性が対称なインバータ回路を制御する場合には特に問題とならないが、スイッチング特性が互いに異なるインバータ回路を制御する場合には、個別に最適なデッドタイムを設定することが求められ、この場合には、適用が困難であるという問題があった。

【0012】

前記の問題に鑑み、本発明は、例えばインバータ制御用のために相補PWM信号を生成する半導体装置において、デッドタイムを、柔軟に、かつ、簡易な構成によって付加できるようにすることを課題とする。

【0013】

【課題を解決するための手段】

前記の課題を解決するために、請求項1の発明が講じた解決手段は、半導体装置として、第1のPWM信号と、前記第1のPWM信号の反転信号である第2のPWM信号とを生成する相補PWM生成部と、前記第1のPWM信号の立ち上が

り時に第1のデッドタイムを付加するとともに、前記第2のPWM信号の立ち上がり時に第2のデッドタイムを付加するデッドタイム付加部とを備え、前記デッドタイム付加部は、前記第1のデッドタイムと前記第2のデッドタイムとを、個別に設定可能に構成されている。

【0014】

請求項1の発明によると、第1のPWM信号の立ち上がり時に付加される第1のデッドタイムと、第2のPWM信号の立ち上がり時に付加される第2のデッドタイムとを、デッドタイム付加部によって、個別に設定可能となる。このため、従来よりも、柔軟に、より高度な制御を実現することができる。

【0015】

そして、請求項2の発明では、前記請求項1におけるデッドタイム付加部は、デッドタイムタイマと、第1および第2のデッドタイム設定レジスタとを備え、前記デッドタイムタイマの値が前記第1のデッドタイム設定レジスタの設定値に達するまでの時間を、前記第1のデッドタイムとして設定するとともに、前記デッドタイムタイマの値が前記第2のデッドタイム設定レジスタの設定値に達するまでの時間を、前記第2のデッドタイムとして設定するものとする。

【0016】

さらに、請求項3の発明では、前記請求項2における第1および第2のデッドタイム設定レジスタは、直列に配置されているものとする。

【0017】

また、請求項4の発明では、前記請求項2における第1および第2のデッドタイム設定レジスタは、並列に配置されているものとする。

【0018】

また、請求項5の発明では、前記請求項1におけるデッドタイム付加部は、第1および第2のデッドタイムタイマと、第1および第2のデッドタイム設定レジスタとを備え、前記第1のデッドタイムタイマの値が前記第1のデッドタイム設定レジスタの設定値に達するまでの時間を、前記第1のデッドタイムとして設定するとともに、前記第2のデッドタイムタイマの値が前記第2のデッドタイム設定レジスタの設定値に達するまでの時間を、前記第2のデッドタイムとして設定

するものとする。

【0019】

また、請求項6の発明では、前記請求項1におけるデッドタイム付加部は、第1および第2のデッドタイム設定レジスタと、前記相補PWM生成部が有する周期タイマのカウンタ値を前記第1および第2のデッドタイム設定レジスタの設定値と比較する比較器とを備え、前記比較器による前記第1のデッドタイム設定レジスタの設定値との比較結果を基にして、前記第1のデッドタイムを設定するとともに、前記比較器による前記第2のデッドタイム設定レジスタの設定値との比較を基にして、前記第2のデッドタイムを設定するものとする。

【0020】

また、請求項7の発明では、前記請求項1における第1および第2のデッドタイム設定レジスタと、前記相補PWM生成部が有する周期タイマのカウンタ値を前記第1および第2のデッドタイム設定レジスタの設定値と比較する第1の比較器と、前記相補PWM生成部が有する周期タイマのカウンタ値を、前記第2のデッドタイム設定レジスタの設定値と比較する第2の比較器とを備え、前記第1の比較器による比較結果を基にして、前記第1のデッドタイムを設定するとともに、前記第2の比較器による比較結果を基にして、前記第2のデッドタイムを設定するものとする。

【0021】

【発明の実施の形態】

（第1の実施形態）

図1は本発明の第1の実施形態に係る半導体装置の構成を示すブロック図である。図1の半導体装置は、インバータ制御用のためにPWM信号を生成するものであり、代表的にはマイクロコンピュータ（マイコン）において実現される。

【0022】

図1において、相補PWM生成部1は、デッドタイムが付加される前の相補PWM信号、すなわち第1のPWM信号PWM1およびその反転信号である第2のPWM信号PWM2を生成するものであり、バッファレジスタ11、17、周期設定レジスタ12、比較器13、15、周期タイマ14、デューティ設定レジス

タ 16 および T フリップフロップ 18 を備えている。周期タイマ 14 はオーバーフロー、または周期設定レジスタ 12 の設定値との比較一致によってリスタートし、原 PWM 信号 PWM0 の周期を設定する。また、周期タイマ 14 のカウンタ値とデューティ設定レジスタ 16 の設定値との比較一致によって、原 PWM 信号 PWM0 のオン期間を設定する。

【0023】

デッドタイム付加部 2 は、相補 PWM 生成部 1 によって生成された第 1 および第 2 の PWM 信号 PWM1, PWM2 にデッドタイムを付加するものであり、エッジ検出部 21、デッドタイムタイマ 22、バッファレジスタ 23、直列に配置された第 1 および第 2 のデッドタイム設定レジスタ 24a, 24b、並びに第 1 および第 2 のデッドタイム挿入部 25a, 25b を備えている。デッドタイムタイマ 22 は、周期タイマ 14 の起動タイミング、および、周期タイマ 14 とデューティ設定レジスタ 16 との比較一致に同期してリスタートする。そして、デッドタイムタイマ 22 の値が第 1 のデッドタイム設定レジスタ 24a の設定値に達するまでの時間を、第 1 の PWM 信号 PWM1 の立ち上がり時に第 1 のデッドタイムとして付加するとともに、デッドタイムタイマ 22 の値が第 2 のデッドタイム設定レジスタ 24b の設定値に達するまでの時間を、第 2 の PWM 信号 PWM2 の立ち上がり時に第 2 のデッドタイムとして付加する。このようにして、上相信号 SU および下相信号 SL が生成される。

【0024】

デッドタイム設定用のバッファレジスタ 23 へのデータ設定には割り込み処理が用いられ、周期タイマ 14 とデューティ設定レジスタ 16 との比較一致割り込みの場合は、第 2 のデッドタイムの設定値が設定される一方、周期タイマ 14 と周期設定レジスタ 12 との比較一致割り込みの場合は、第 1 のデッドタイムの設定値が設定される。また、それぞれの割り込みのタイミングで、第 2 のデッドタイム設定レジスタ 24b から第 1 のデッドタイムレジスタ 24a への転送と、バッファレジスタ 23 から第 2 のデッドタイム設定レジスタ 24b への転送とが行われる。これにより、第 1 のデッドタイム設定レジスタ 24a には、周期タイマ 14 と周期設定レジスタ 12 との比較一致割り込みのタイミングで、第 1 のデッ

ドタイムの設定値が設定される一方、周期タイマ14とデューティ設定レジスタ16との比較一致割り込みのタイミングで、第2のデッドタイムの設定値が設定される。

【0025】

図2は図1の半導体装置の動作を示すタイミングチャートである。図2に示すように、周期タイマ14のカウント開始と同時に、原PWM信号PWM0が立ち上がるともに、デッドタイムタイマ22がカウントを開始する。そして、デッドタイムタイマ22のカウント値が第1のデッドタイム設定レジスタ24aの設定値（第1のデッドタイムの設定値）に達したとき、上相信号SUが立ち上がり、第1のデッドタイム t_1 が設定される。その後、周期タイマ14のカウント値がデューティ設定レジスタ16の設定値に達したとき、原PWM信号PWM0が立ち下がるとともに、上相信号SUが立ち下がる。

【0026】

このとき、デッドタイムタイマ22がカウントを再び開始し、そのカウント値が第1のデッドタイム設定レジスタ24aの設定値（第2のデッドタイムの設定値）に達したとき、下相信号SUが立ち上がり、第2のデッドタイム t_2 が設定される。その後、周期タイマ14のカウント値が周期設定レジスタ12の設定値に達したとき、下相信号SUが立ち下がる。

【0027】

以上のように本実施形態によると、第1のPWM信号の立ち上がり時に付加する第1のデッドタイムと、第2のPWM信号の立ち上がり時に付加する第2のデッドタイムとを、個別に設定することができる。

【0028】

また、本実施形態を、例えば、デッドタイム期間レジスタを用いてデッドタイム設定を切り替える構成（比較例）と比較すると、次のような長所がある。すなわち、比較例の場合には、デッドタイム設定用のバッファレジスタを備えていないため、レジスタ値の更新を最適なタイミングで実行することができず、したがって、デッドタイムレジスタ設定値とデッドタイムカウンタの大小関係が反転しないように、一旦PWM出力を停止してから切り替えるしかなかった。

【0029】

ところが本実施形態によると、割り込み処理内でデッドタイムの設定を切り替える必要はあるものの、2個のデッドタイム設定レジスタ間の転送はハードによる最適なタイミングで実施されるため、PWM出力を停止することなく容易に実現可能となる。

【0030】

(第2の実施形態)

図3は本発明の第2の実施形態に係る半導体装置の構成を示すブロック図であり、図1と共通の構成要素については図1と同一の符号を付している。図1と異なるのは、デッドタイム付加部2Aにおいて、第1および第2のデッドタイム設定レジスタ24a、24bが並列に配置されており、それぞれにバッファレジスタ23a、23bが設けられている点である。

【0031】

図4は図3の半導体装置の動作を示すタイミングチャートであり、基本的な動作は第1の実施形態と同様である。ただし、第1および第2のデッドタイム設定レジスタ24a、24bの設定値の更新は、周期タイマ14と周期設定レジスタ12との比較一致タイミングにおいて実行される。

【0032】

すなわち、本実施形態では、第1の実施形態と比べるとバッファレジスタを1個追加した構成になっているが、第1の実施形態のようにPWM周期設定割り込みとデューティ設定割り込みの処理内でデッドタイム時間設定を切り替える必要がない。またバッファレジスタは、単純に、あるタイミングで(周期毎に)デッドタイム設定レジスタへの転送を行うだけのものである。したがって、CPUに負担をかけることなく実現が可能となる。

【0033】

(第3の実施形態)

図5は本発明の第3の実施形態に係る半導体装置の構成を示すブロック図であり、図3と共通の構成要素については図3と同一の符号を付している。図3と異なるのは、デッドタイム付加部2Bにおいて、第1のデッドタイム用と第2のデ

ッドタイム用に、それぞれ第1および第2のデッドタイムタイマ22a, 22bが設けられている点である。第1のデッドタイムタイマ22aは周期タイマ14の起動タイミングに同期して起動し、第2のデッドタイムタイマ22bは周期タイマ14とデューティ設定レジスタ16との比較一致に同期してスタートする。

【0034】

図6は図5の半導体装置の動作を示すタイミングチャートである。図6に示すように、周期タイマ14のカウント開始と同時に、原PWM信号PWM0が立ち上がるともに、第1のデッドタイムタイマ22aがカウントを開始する。そして、デッドタイム22aのカウント値が第1のデッドタイム設定レジスタ24aの設定値に達したとき、上相信号SUが立ち上がり、第1のデッドタイムt1が設定される。その後、周期タイマ14のカウント値がデューティ設定レジスタ16の設定値に達したとき、原PWM信号PWM0が立ち下がるとともに、上相信号SUが立ち下がる。

【0035】

このとき、第2のデッドタイムタイマ22bがカウントを再び開始し、そのカウント値が第2のデッドタイム設定レジスタ24bの設定値に達したとき、下相信号SUが立ち上がり、第2のデッドタイムt2が設定される。その後、周期タイマ14のカウント値が周期設定レジスタ12の設定値に達したとき、下相信号SUが立ち下がる。

【0036】

以上のように本実施形態でも、第1のPWM信号の立ち上がり時に付加する第1のデッドタイムと、第2のPWM信号の立ち上がり時に付加する第2のデッドタイムとを、個別に設定することができる。また、第1および第2の実施形態と対比すると、デッドタイムタイマを1個追加した構成となるが、本実施形態によると、割込み処理内でデッドタイム時間設定を切り替える必要がないので、CPUに負担をかけることなく実現が可能となる。

【0037】

また、本実施形態で追加されるタイマは単純に設定された時間を計測するだけのものであるため、従来からマイコンに搭載されているタイマを転用することが

でき、容易に実現が可能である。

【0038】

(第4の実施形態)

図7は本発明の第4の実施形態に係る半導体装置の構成を示すブロック図であり、図3と共通の構成要素については図3と同一の符号を付している。図3と異なるのは、デッドタイム付加部2Cにおいて、デッドタイムタイマおよびエッジ検出部が省かれ、代わりに、比較器26および付加相判別器27が設けられている点である。

【0039】

比較器26は周期タイマ14のカウント値を、第1および第2のデッドタイム設定レジスタ24a、24bと比較する。付加相判別器27は、比較器26が比較一致を検出した場合、第1のデッドタイム設定レジスタ24aとの比較一致のときは第1のデッドタイム挿入部25aに第1のデッドタイムの挿入を指示する一方、第2のデッドタイム設定レジスタ24bとの比較一致のときは第2のデッドタイム挿入部25bに第2のデッドタイムの挿入を指示する。

【0040】

図8は図7の半導体装置の動作を示すタイミングチャートである。図8に示すように、周期タイマ14のカウント開始と同時に、原PWM信号PWM0が立ち上がる。そして、周期タイマ14のカウント値が第1のデッドタイム設定レジスタ24aの設定値に達したことが比較器26によって検知されたとき、上相信号SUが立ち上がり、第1のデッドタイム t_1 が設定される。その後、周期タイマ14のカウント値がデューティ設定レジスタ16の設定値に達したとき、原PWM信号PWM0が立ち下がるとともに、上相信号SUが立ち下がる。このとき、比較器26の比較基準が、第1のデッドタイム設定レジスタ24aの設定値から第2のデッドタイム設定レジスタ24bに切り替えられる。

【0041】

さらに、周期タイマ14のカウント値が第2のデッドタイム設定レジスタ24bの設定値に達したとき、下相信号SUが立ち上がり、第2のデッドタイム t_2 が設定される。その後、周期タイマ14のカウント値が周期設定レジスタ12の

設定値に達したとき、下相信号 S U が立ち下がる。このとき、第 1 および第 2 のバッファレジスタ 23 a, 23 b から第 1 および第 2 のデッドタイム設定レジスタ 24 a, 24 b にデータ転送されるとともに、比較器 26 の比較基準が、第 2 のデッドタイム設定レジスタ 24 b の設定値から第 1 のデッドタイム設定レジスタ 24 b に切り替えられる。

【0042】

以上のように本実施形態でも、第 1 の PWM 信号の立ち上がり時に付加する第 1 のデッドタイムと、第 2 の PWM 信号の立ち上がり時に付加する第 2 のデッドタイムとを、個別に設定することができる。また、周期タイマを利用することによって、デッドタイムタイマを省くことができ、構成が簡易になる。また、比較器の回路は、一般的なマイコンに搭載されている回路を転用すればよく、容易に実現可能である。

【0043】

(第 5 の実施形態)

図 9 は本発明の第 5 の実施形態に係る半導体装置の構成を示すブロック図であり、図 7 と共通の構成要素については図 7 と同一の符号を付している。図 7 と異なるのは、デッドタイム付加部 2 D において、第 1 および第 2 のデッドタイム設定レジスタ 24 a, 24 b のそれぞれに対応して、第 1 および第 2 の比較器 26 a, 26 b が設けられている点である。

【0044】

図 10 は図 9 の半導体装置の動作を示すタイミングチャートであり、基本的な動作は第 4 の実施形態と同様である。ただし、比較器の比較基準を切り換える必要がなく、動作がより簡易になっている。

【0045】

すなわち、本実施形態では、第 4 の実施形態と比べると比較器を 1 個追加した構成になっているが、第 4 の実施形態のように比較基準を切り替える必要がない。しかも、同じ回路を 2 個並べた単純な構成で実現可能である。また比較器の回路は、一般的なマイコンに搭載されている回路を転用すればよく、容易に実現可能である。

【 0 0 4 6 】

なお、モータ駆動用インバータ回路では、スイッチング回路が 3 相並列で構成されているので、上述の各実施形態で述べたデッドタイム付加機能を適用することができ、同様の効果が得られる。

【 0 0 4 7 】**【発明の効果】**

以上のように本発明によると、異なるデッドタイムの設定が可能となる。このため、回路上でデッドタイムの最適値を変更・設定する必要がなくなると共に、個別に最適なデッドタイムの設定を実施することが可能となり、電力損失を抑えた、より高度な制御を行うことが可能になる。

【図面の簡単な説明】**【図 1】**

本発明の第 1 の実施形態に係る半導体装置の構成を示すブロック図である。

【図 2】

図 1 の半導体装置の動作を示すタイミングチャートである。

【図 3】

本発明の第 2 の実施形態に係る半導体装置の構成を示すブロック図である。

【図 4】

図 3 の半導体装置の動作を示すタイミングチャートである。

【図 5】

本発明の第 3 の実施形態に係る半導体装置の構成を示すブロック図である。

【図 6】

図 5 の半導体装置の動作を示すタイミングチャートである。

【図 7】

本発明の第 4 の実施形態に係る半導体装置の構成を示すブロック図である。

【図 8】

図 7 の半導体装置の動作を示すタイミングチャートである。

【図 9】

本発明の第 5 の実施形態に係る半導体装置の構成を示すブロック図である。

【図 1 0】

図 9 の半導体装置の動作を示すタイミングチャートである。

【図 1 1】

デッドタイム設定機能を備えた回路構成の一例である。

【図 1 2】

デッドタイムと、その役割を説明するための図である。

【図 1 3】

図 1 1 の回路構成の動作を示すタイミングチャートである。

【図 1 4】

デッドタイム設定機能を備えた回路構成の他の例である。

【図 1 5】

図 1 4 の回路構成の動作を示すタイミングチャートである。

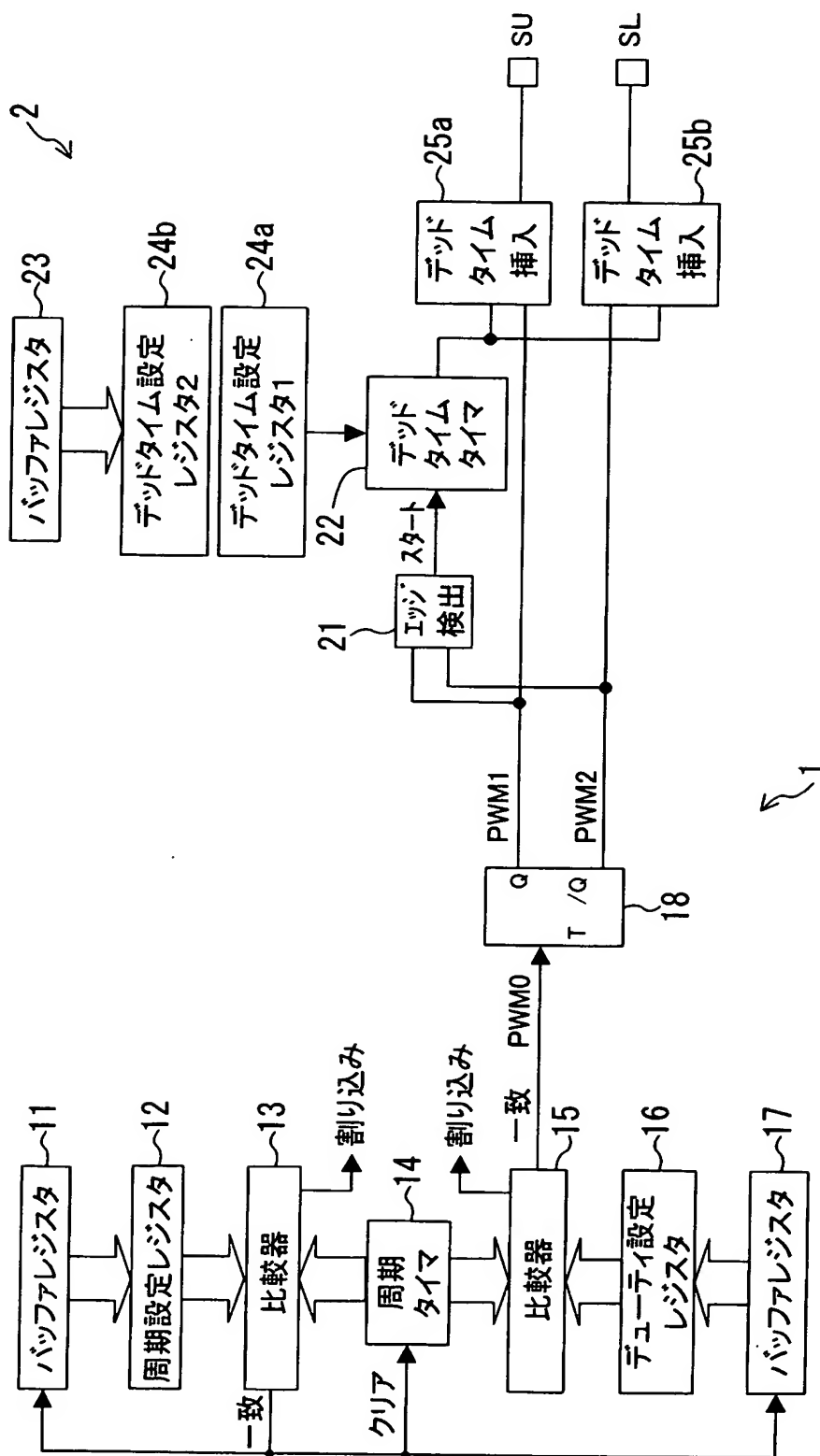
【符号の説明】

- 1 相補 P W M 生成部
- 2, 2 A, 2 B, 2 C, 2 D デッドタイム付加部
- 2 2 デッドタイムタイマ
 - 2 2 a 第 1 のデッドタイムタイマ
 - 2 2 b 第 2 のデッドタイムタイマ
- 2 4 a 第 1 のデッドタイム設定レジスタ
- 2 4 b 第 2 のデッドタイム設定レジスタ
- 2 6 比較器
 - 2 6 a 第 1 の比較器
 - 2 6 b 第 2 の比較器
- P W M 1 第 1 の P W M 信号
- P W M 2 第 2 の P W M 信号

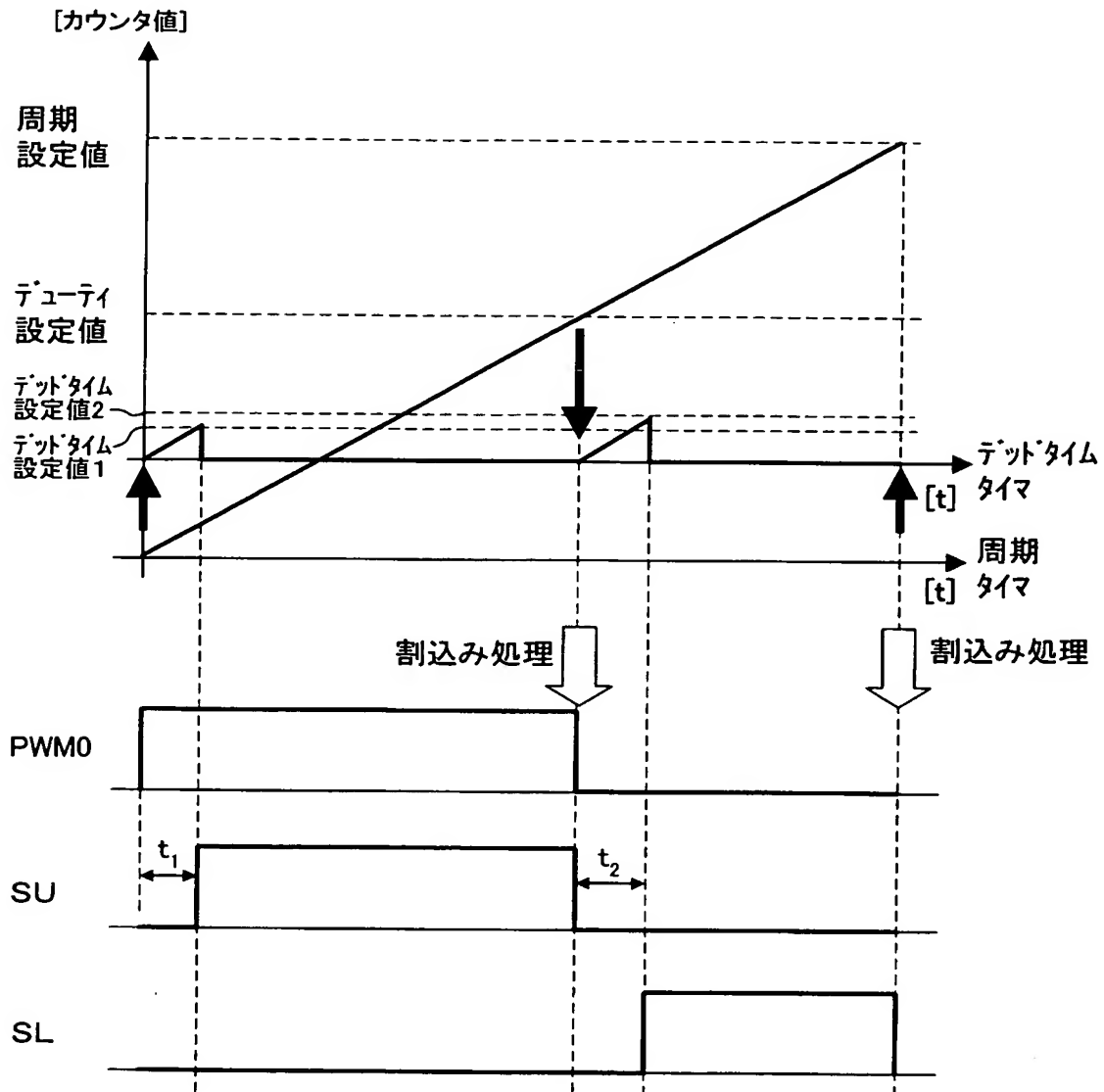
【書類名】

図面

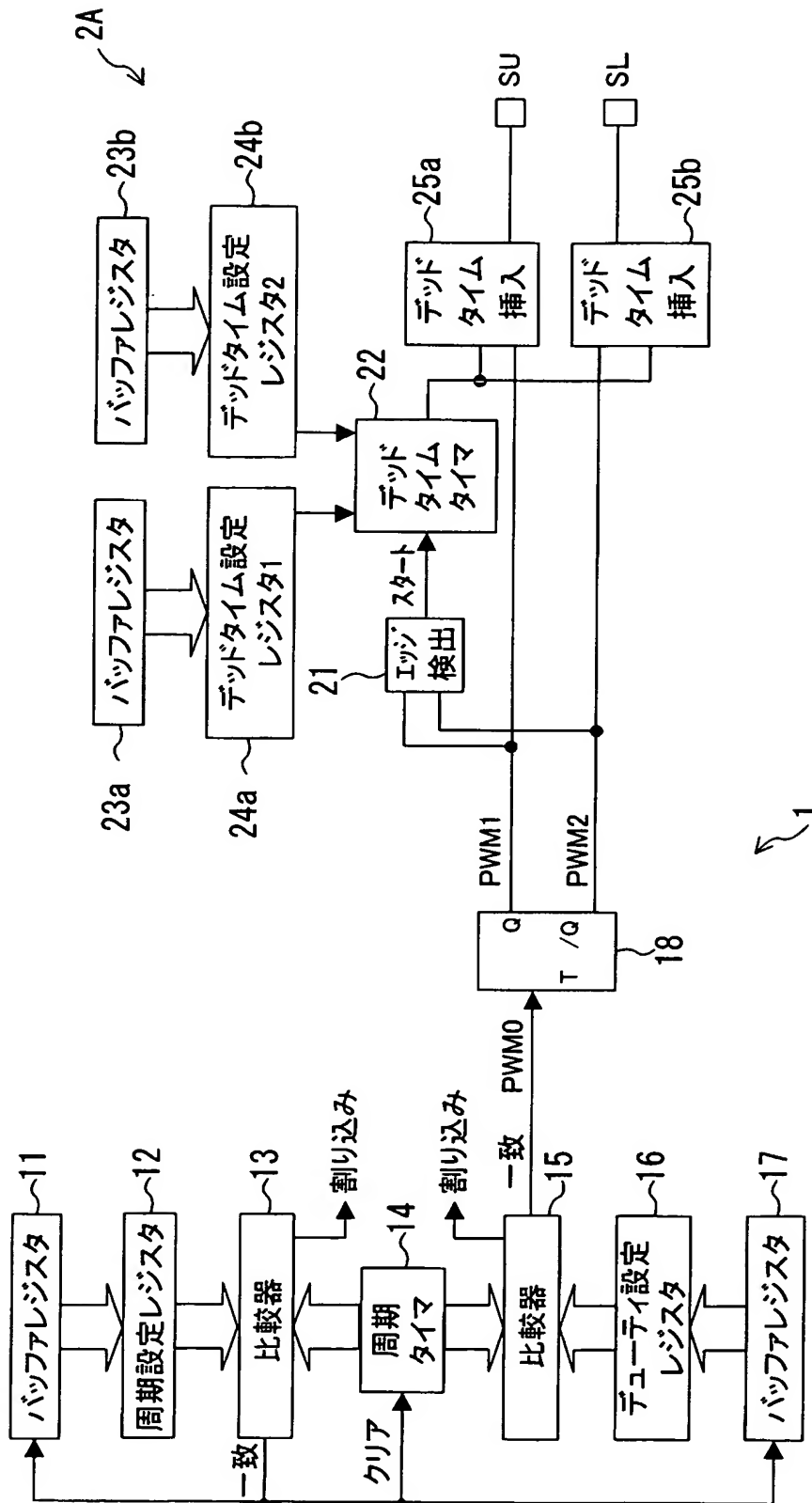
【図 1】



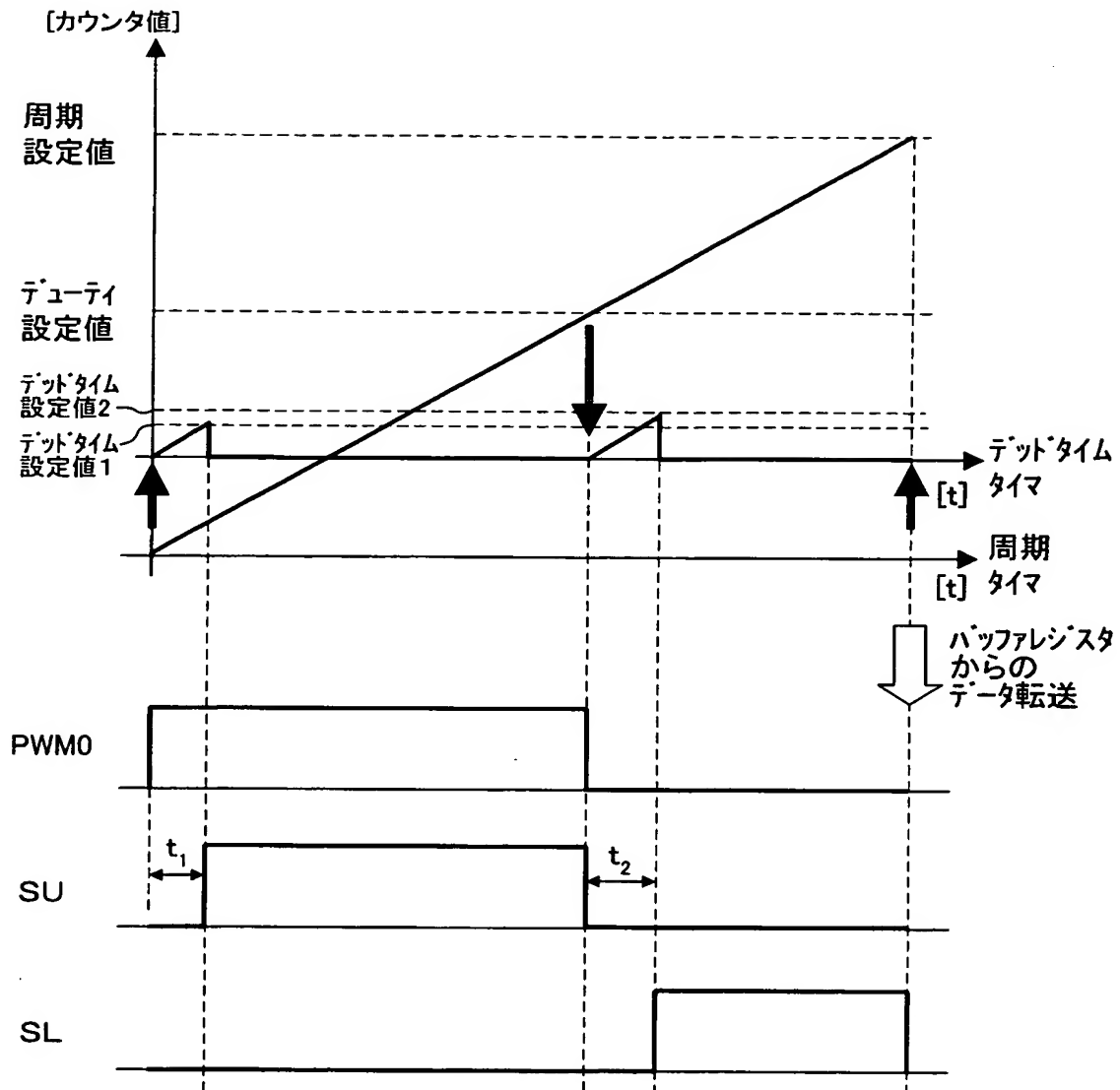
【図 2】



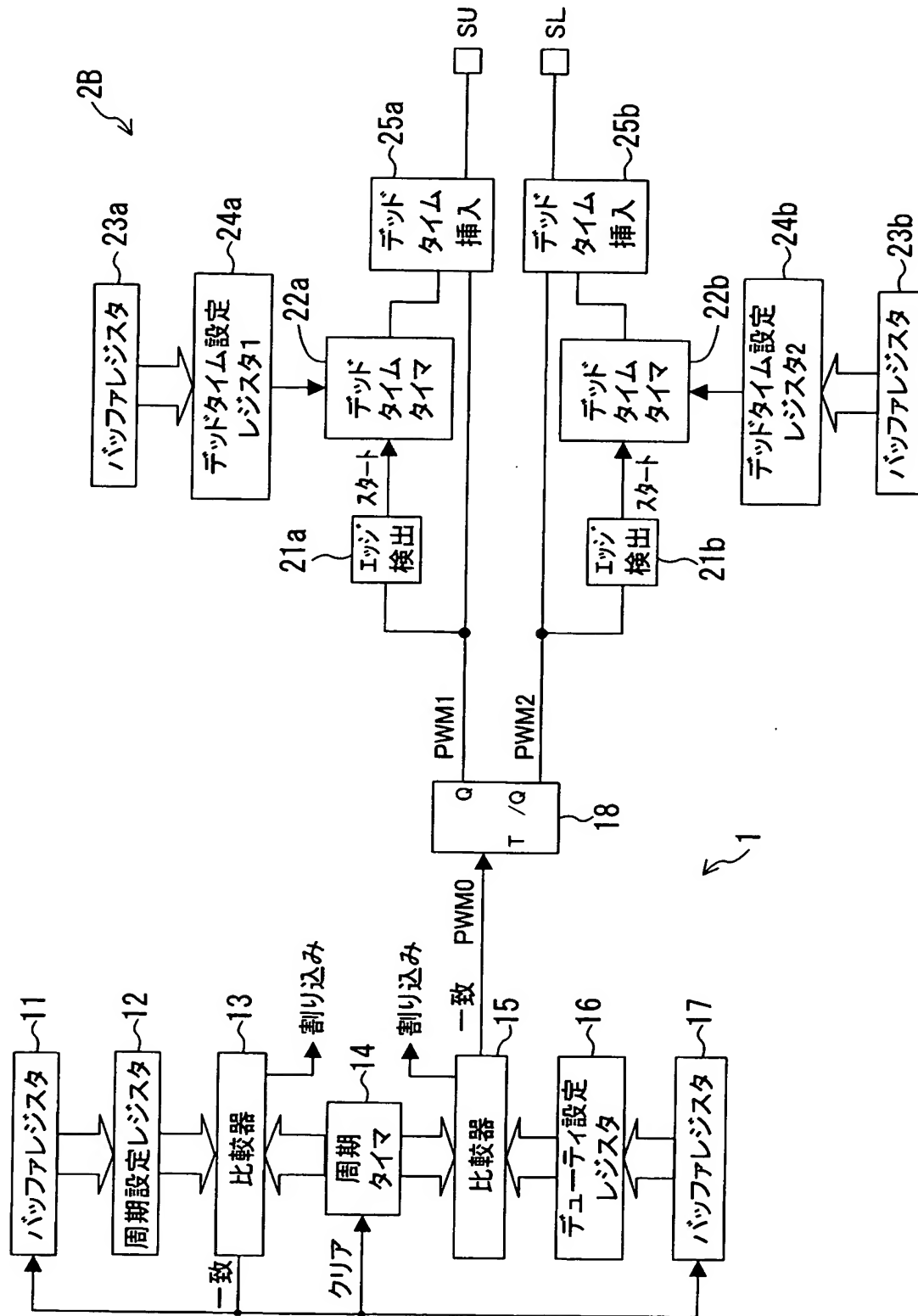
【図 3】



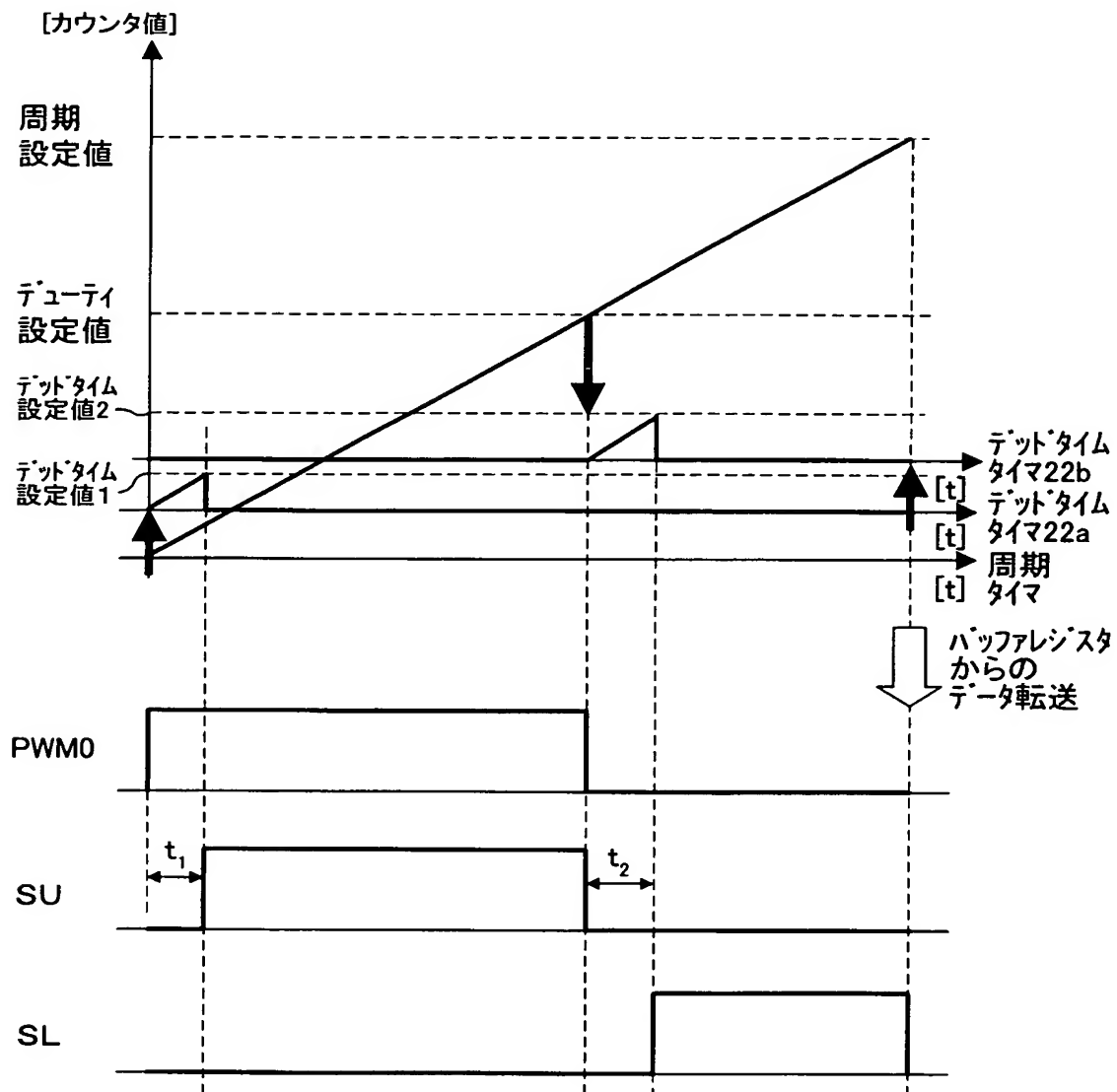
【図 4】



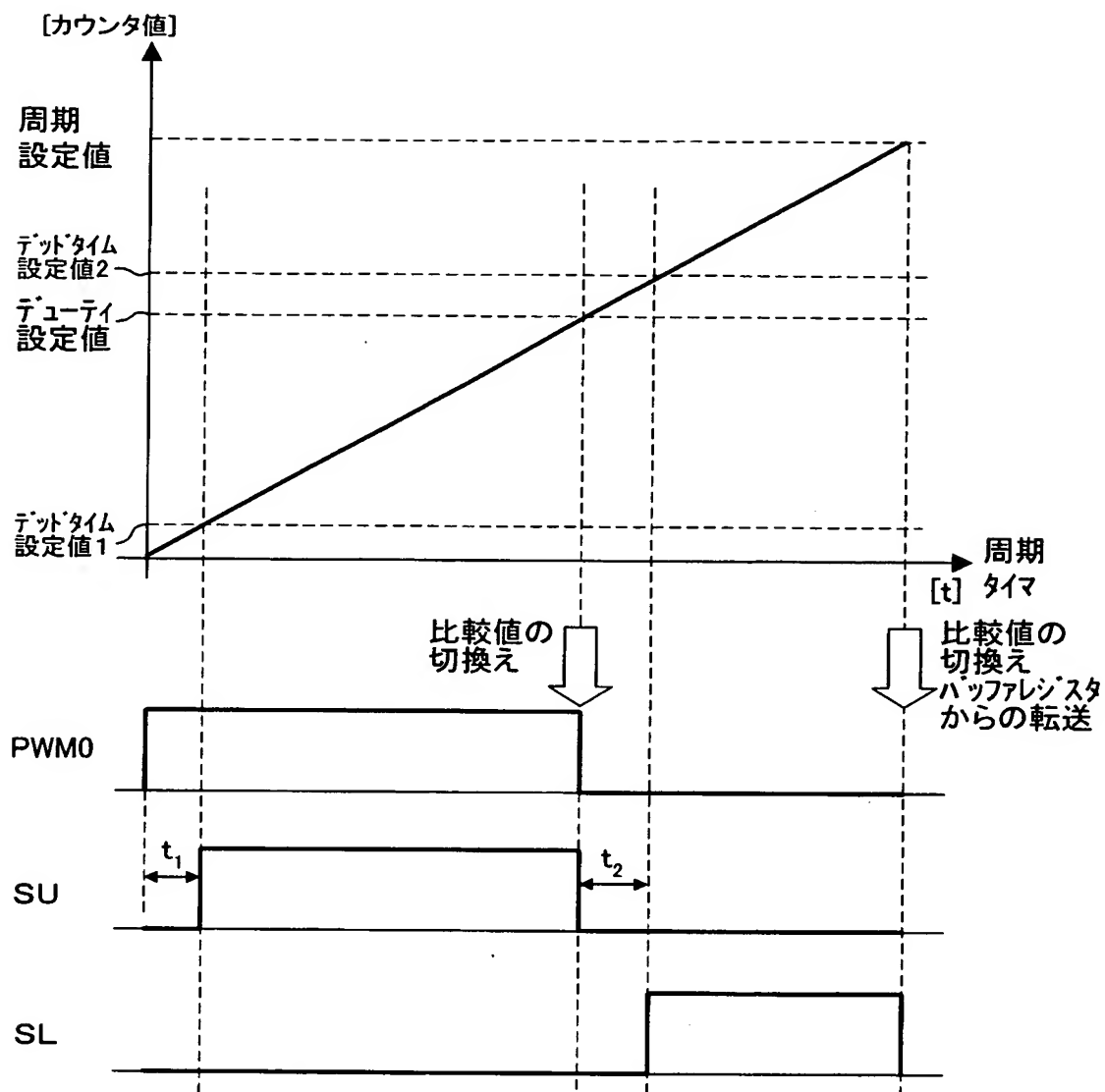
【図 5】



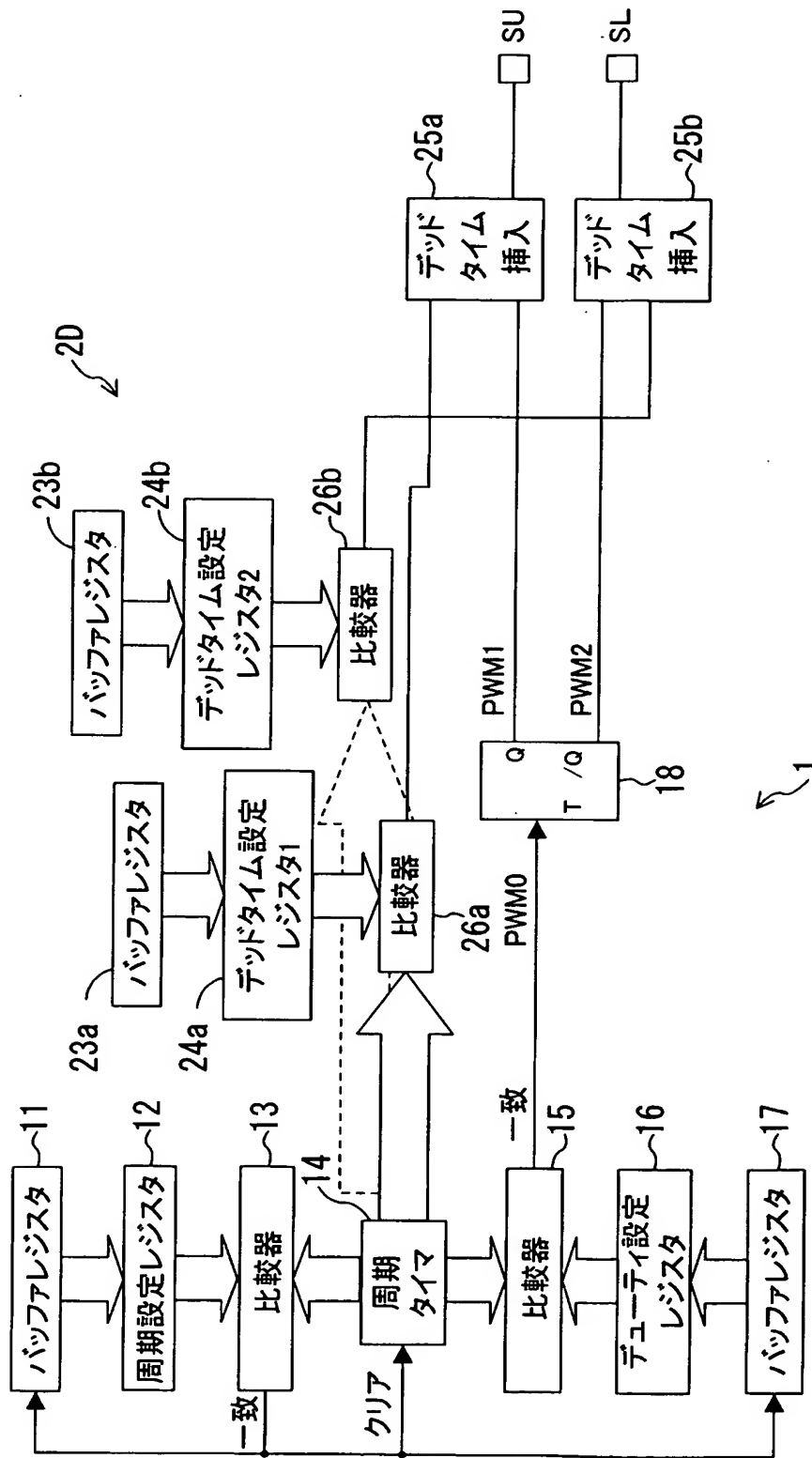
【図 6】



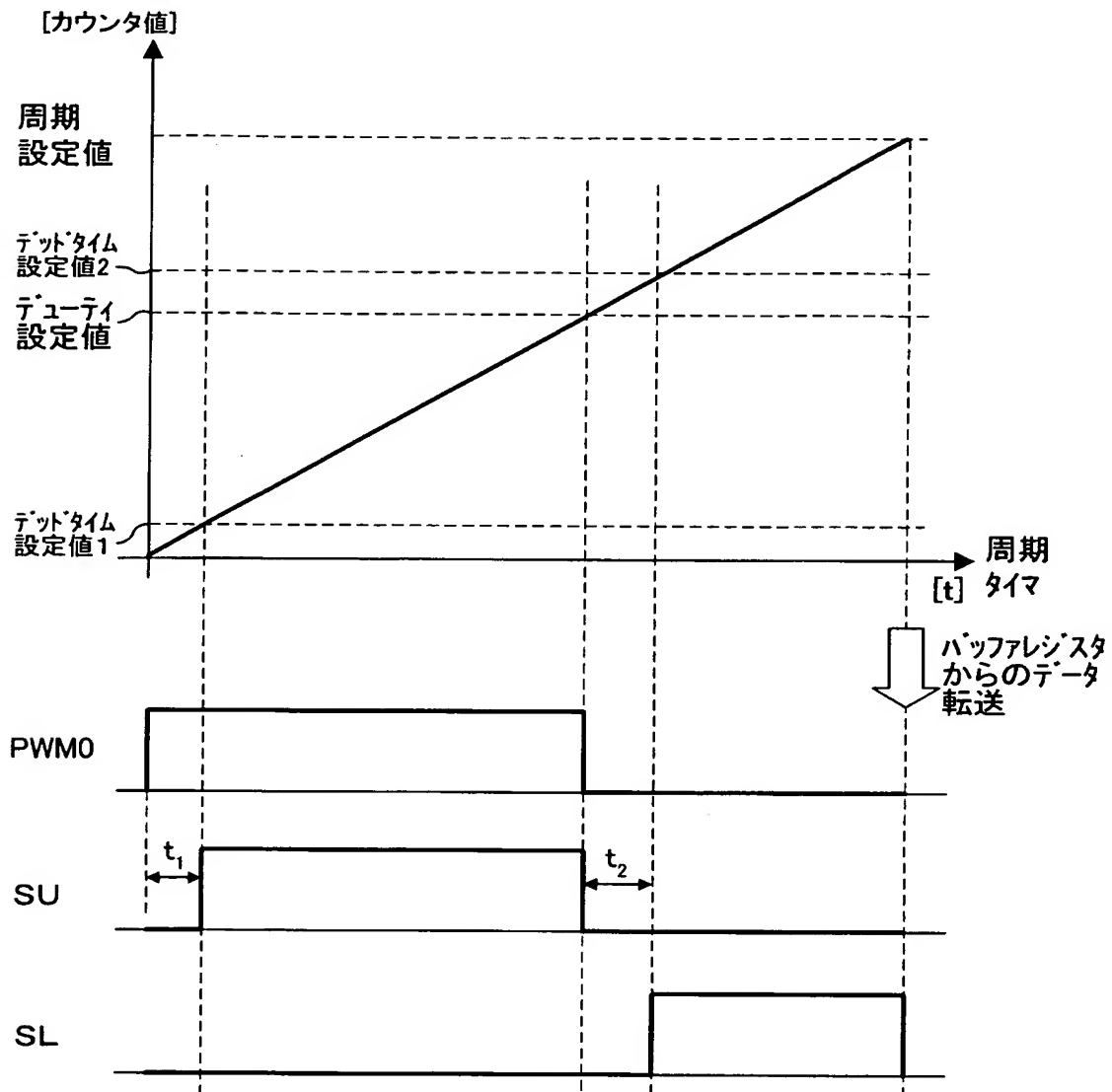
【図 8】



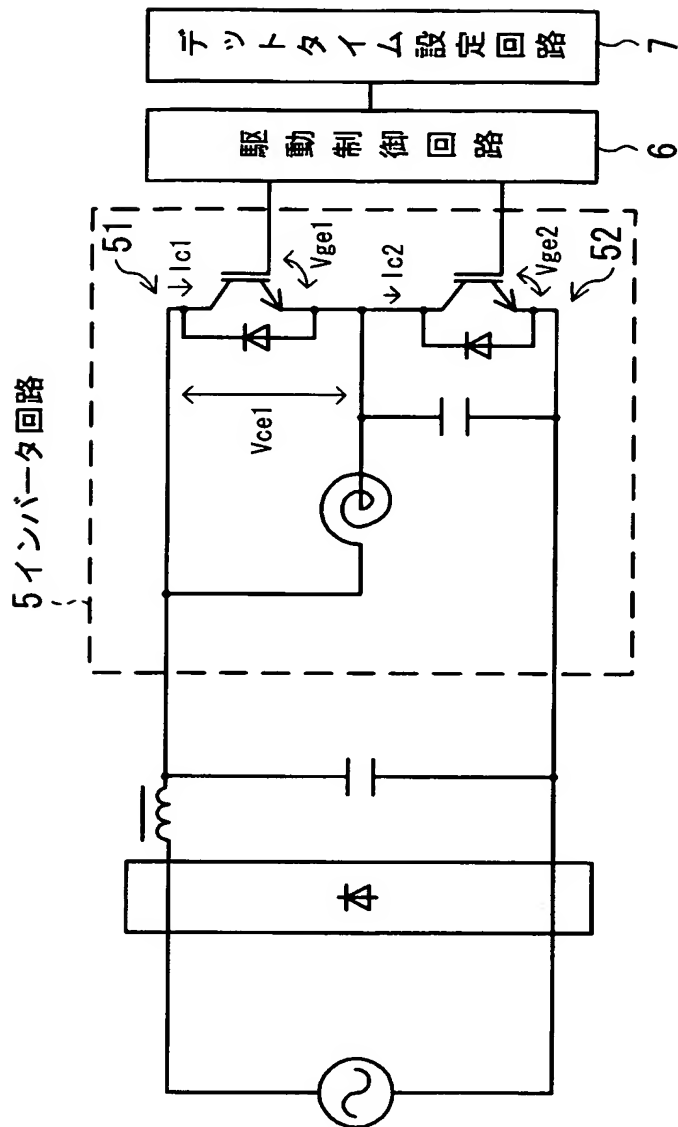
【図 9】



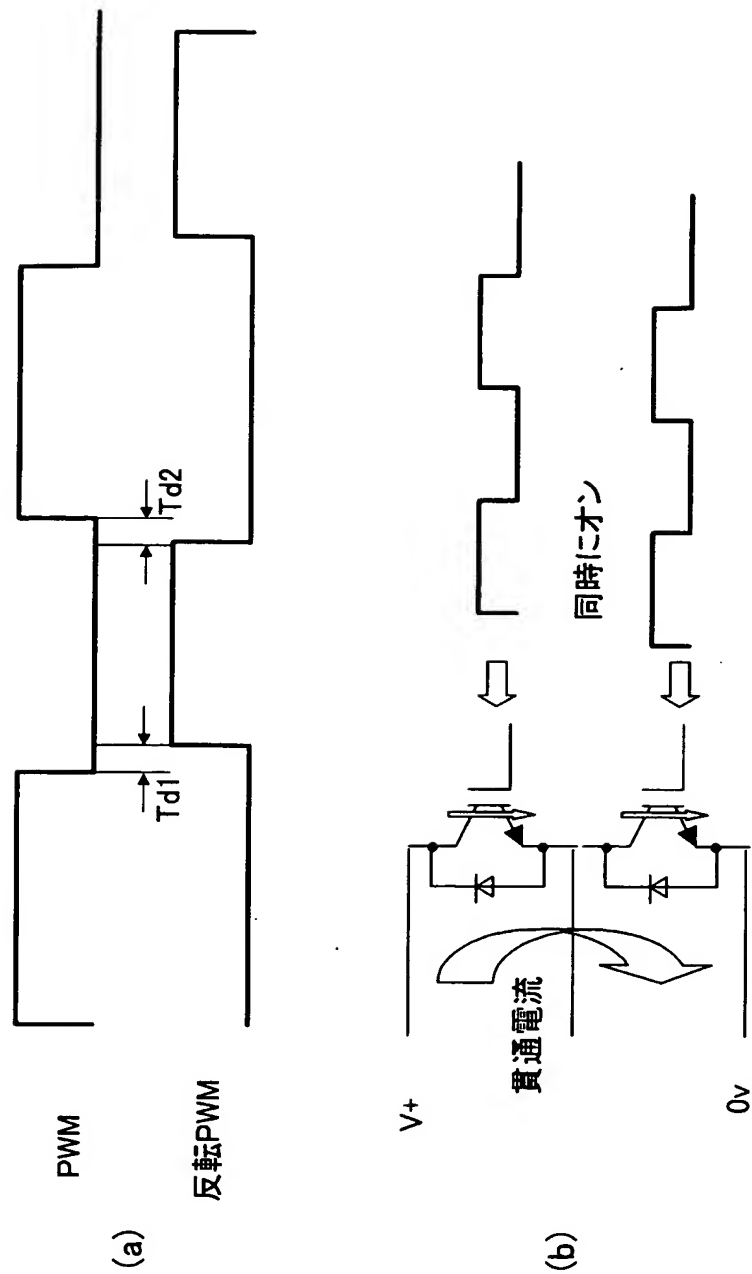
【図10】



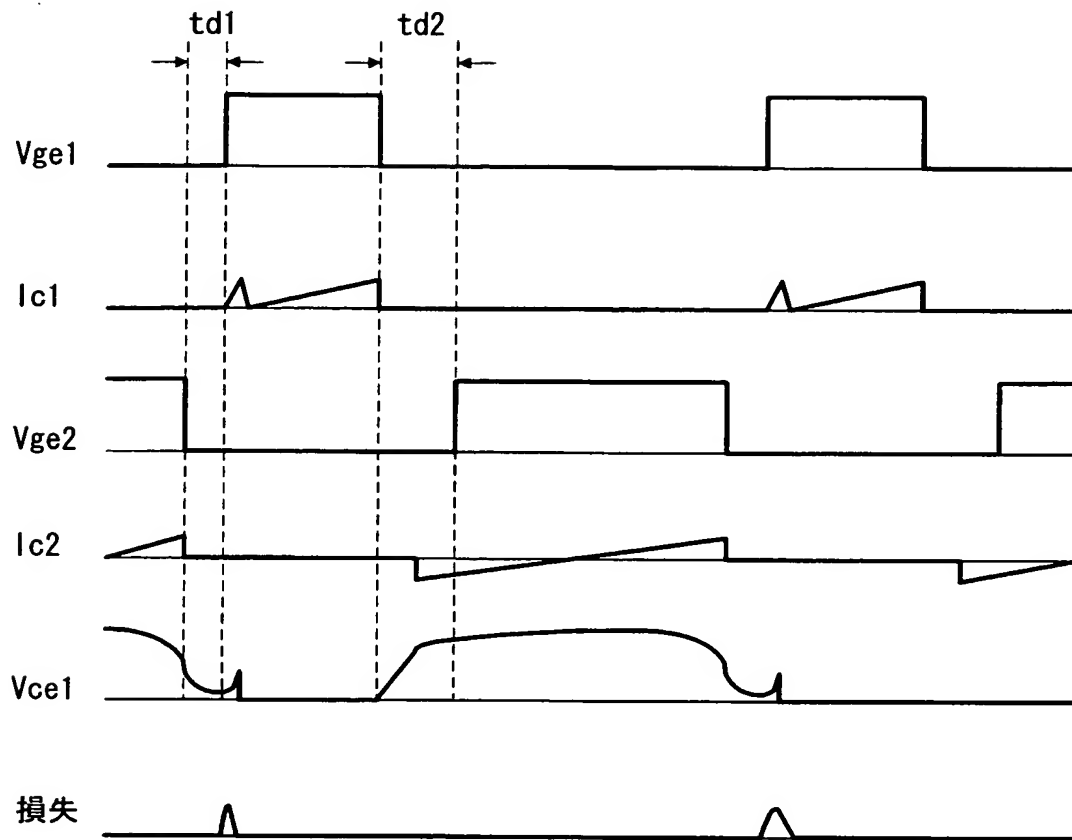
【図 11】



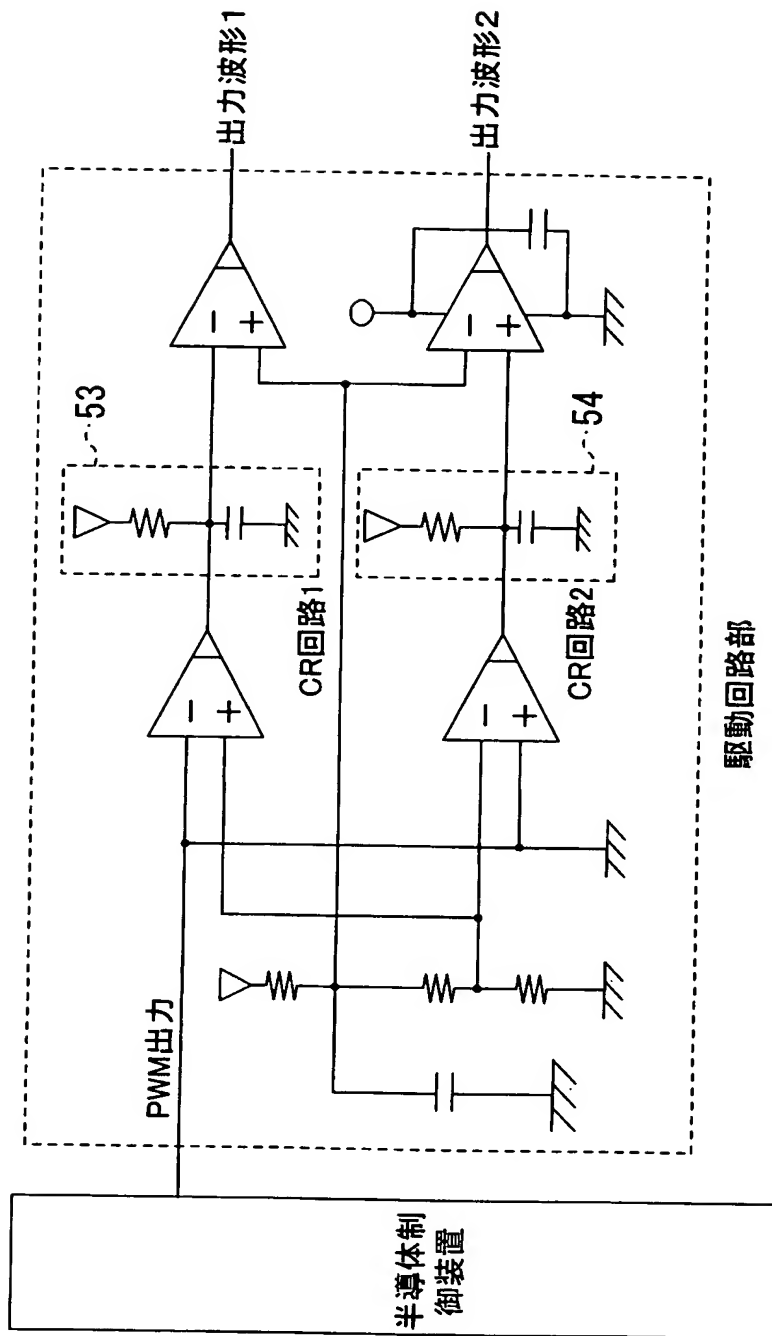
【図12】



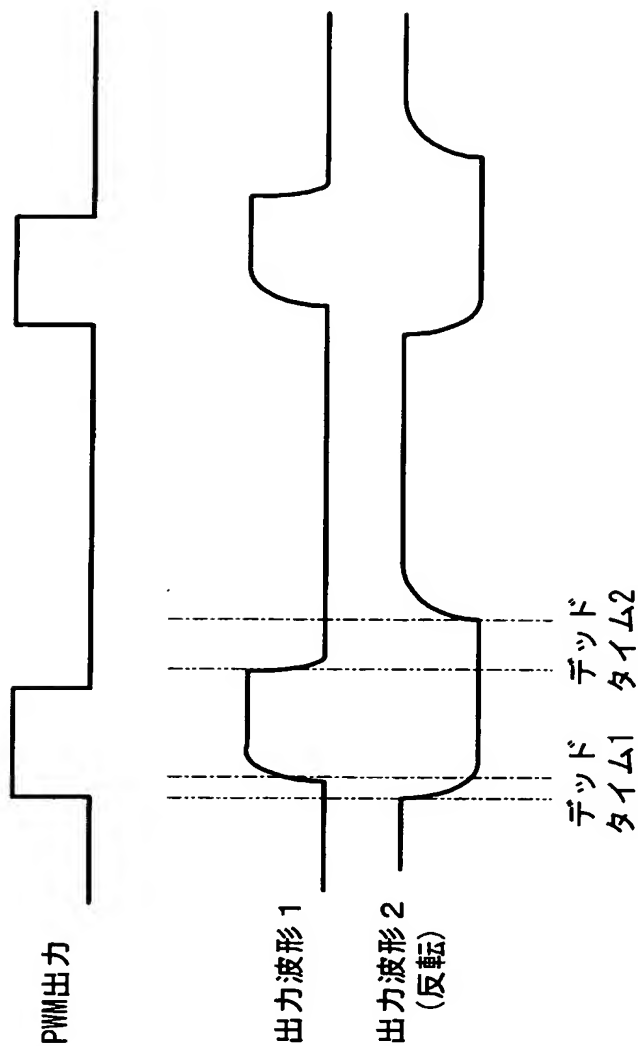
【図 13】



【図 14】



【図 1 5】



【書類名】 要約書

【要約】

【課題】 例えばインバータ制御用のために相補 P W M 信号を生成する半導体装置において、デッドタイムを、柔軟に、かつ、簡易な構成によって付加可能にする。

【解決手段】 デッドタイム付加部 2 A において、タイマ 2 2 の値がレジスタ 2 4 a の設定値に達するまでの時間を、第 1 の P W M 信号 P W M 1 の立ち上がり時に第 1 のデッドタイムとして付加する。一方、タイマ 2 2 の値がレジスタ 2 4 b の設定値に達するまでの時間を、第 2 の P W M 信号 P W M 2 の立ち上がり時に第 2 のデッドタイムとして付加する。

【選択図】 図 3

特願 2 0 0 2 - 3 3 5 6 1 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社